

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

특2000-0062586

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> G02F 1/136	(11) 공개번호 (43) 공개일자	특2000-0062586 2000년10월25일
(21) 출원번호	10-2000-0008399	
(22) 출원일자	2000년02월22일	
(30) 우선권주장	1999-044239 1999년02월23일 일본(JP)	
(71) 출원인	샤프 가부시기가이샤 마찌다 가즈히코	
(72) 발명자	일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고 히비노요시따카 일본미에켄마쓰사카시오즈쵸323-306 다루이데즈야 일본오사카후오사카시히라노구나가요시쵸와나베3-4-78-402 히로베도시히코 일본오사카후사카이시오마마나카마시1-2-20-604	
(74) 대리인	장수길, 구영창	

심사청구 : 있음

(54) 액정 표시 장치 및 그 제조 방법

요약

액정 표시 장치는, AI 또는 AI 합금층을 갖는 소스 전극(게이트 전극)과, 이 소스 전극(게이트 전극)의 상층측에 설치된 화소 전극과, 소스 전극(게이트 전극)을 덮도록, 소스 전극(게이트 전극)과 화소 전극 사이에 소스 전극측으로부터 적어도 무기계 절연막으로서의 TFT 보호막과 유기계 절연막을 차례로 적층되어 이루어지는 층간 절연막을 구비하고 있다.

도표도

도1

색인어

액정 표시 장치, 유기계 절연막, 무기계 절연막, 막 결합, 예칭

명세서

도면의 간단한 설명

도 1은 본 발명의 실시의 일형태에 있어서의 액정 표시 장치의 TFT 어레이 기판의 구성을 나타낸 종단면도.

도 2a는 도 1에 도시한 TFT 어레이 기판의 단자부를 나타낸 평면도.

도 2b는 도 2a에 있어서의 A-A선 화살 표시 단면도.

도 3a는 도 1에 도시한 게이트 전극의 성막 공정을 나타낸 종단면도.

도 3b는 상기 게이트 전극을 소정 전극 패턴으로 패터닝하는 공정을 나타낸 종단면도.

도 3c는 게이트 절연막, I-Si막 및 n<sup>+</sup>막의 연속 성막 공정을 나타낸 종단면도.

도 3d는 TFT의 채널 부분의 형성 공정을 나타낸 종단면도.

도 4a는 상기 도 3d의 공정 후에 있어서의, 소스 전극의 성막 공정을 나타낸 종단면도.

도 4b는 소스 전극에 있어서의 AI막의 웨트 예칭 공정을 나타낸 종단면도.

도 4c는 소스 전극의 TiN막 및 채널부의 n<sup>+</sup>막의 연속 드라이 예칭 공정을 나타낸 종단면도.

도 4d는 TFT 보호막의 성막 공정을 나타낸 종단면도.

도 5a는 상기 도 4d의 공정 후에 있어서의, 층간 절연막으로서의 유기 절연막의 성막 공정을 나타낸 종단면도.

도 5b는 콘택트홀을 사용한 TFT 보호막 및 소스 전극의 AI막의 드라이 예칭 공정을 나타낸 종단면도.

- 도 5c는 화소 전극의 성막 공정을 나타낸 중단면도.  
 도 6a는 종래의 TFT 어레이 기판의 제조 프로세스에 있어서의 게이트 전극의 성막 공정을 나타낸 중단면도.  
 도 6b는 레지스트를 상기 게이트 전극의 소정 전극 패턴으로 패터닝하는 공정을 나타낸 중단면도.  
 도 6c는 상기 게이트 전극을 소정 전극 패턴으로 패터닝하는 공정을 나타낸 중단면도.  
 도 6d는 게이트 절연막, I-Si 막 및  $n^+$ 막의 연속 성막 공정을 나타낸 중단면도.  
 도 7a는 상기 도 6d의 공정에 계속되는, 반도체층의 형성 공정을 나타낸 중단면도.  
 도 7b는 소스 전극을 소정 전극 패턴으로 패터닝하는 공정을 나타낸 중단면도.  
 도 7c는 TFT의 형성 공정을 나타낸 중단면도, 도 7d는, 화소 전극의 성막 공정을 나타낸 중단면도.  
 도 8a는 상기 도 7d의 공정에 계속되는, 화소 전극을 소정 전극 패턴으로 패터닝하는 공정을 나타낸 중단면도.  
 도 8b는 TFT 보호막의 성막 공정을 나타낸 중단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 2 : 게이트 전극(제1 전극)  
 13 : Ti막  
 14 : Al 막  
 15 : TiN막  
 16 : 게이트 절연막  
 17 : I-Si막  
 18 :  $n^+$ 막  
 19 : 소스 전극(제1 전극)  
 120 : TiN막(소스 제1 전극층)  
 21 : Si막(소스 제2 전극층)  
 23 : TFT 보호막(층간 절연층, 무기계 절연층)  
 24 : 유기 절연막(층간 절연층, 유기계 절연층)  
 26 : 화소 전극

#### 본 발명의 상세한 설명

##### 본 발명의 목적

##### 본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, TFT(Thin Film Transistor)를 갖는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

종래, 고품질의 화상을 표시 가능한 것으로서, TFT 방식의 액정 표시 장치가 다용되고 있다. 이하, 이 액정 표시 장치가 구비하는 반도체 기판의 제조 방법에 대해 설명한다.

이 액정 표시 장치가 구비하는 반도체의 기본 구조는, 역스태거형이기 때문에, 최하층에 설치되는 게이트 전극에 대해서는, 에칭 선택성이 높은 금속을 사용하는 것이 바람직하다. 여기서는, 게이트 전극의 재료로서 Ta 금속막을 사용한 경우를 도 6a 및 도 6b에 기초하여 설명한다.

우선, 도 6a에 도시한 바와 같이, 유리 기판(51) 상에 Ta 금속막으로 이루어지는 게이트 전극(52)을 PVD법(물리적 성막법: 스퍼터링법)에 의해 성막한다.

다음에, 도 6b에 도시한 바와 같이, 포토리소그래피법에 의해, 게이트 전극(52) 상에 설치한 레지스트(53)를 게이트 전극(52)의 원하는 전극 패턴으로 패터닝한다.

다음에, PE(플라즈마 에칭)법, RIE(리액티브 이온 에칭)법 또는 웨트 에칭법에 의해, 도 6c에 도시한 바와 같이, 게이트 전극(52)을 소정의 전극 패턴으로 형성하고, 레지스트(53)를 박리한다.

다음에, 통상, PE-CVD법을 이용하여, 도 6d에 도시한 바와 같이, 게이트 절연막(61 (게이트 인슐레이터) 막: 통상 SiN<sub>2</sub>: 54), I-Si막(55) 및  $n^+$ 막(56)을 연속적으로 성막한다.

이를 3층의 막을 성막 후, 게이트 전극(52)을 패터닝하였을 때와 마찬가지로 하여, 포토리소그래피법과, PE(플라즈마 에칭)법, RIE(리액티브 이온 에칭)법 또는 웨트 에칭법에 의해, 도 7a에 도시한 바와 같이, I-Si막(55) 및  $n^+$ 막(56)으로 이루어지는 채널층을 하나의 섬 형상으로 패터닝하여, 반도체층을 형성한다. 그 후, 게이트 절연막(54) 상에 레지스트(도시하지 않음)를 패터닝하여, 게이트 전극(52)에 있어서의 접

속 단자부 상의 게이트 절연막(54)을 에칭한다. 또, 상기 접속 단자에서는, 통상 게이트 전극(52)이 이용된다.

다음에, 도 7b에 도시한 바와 같이, Ti, Al, W 혹은 Ta 등으로 이루어지는 소스 전극(57)을 PVD법에 의해 성막하고, 게이트 전극(52)을 형성하였을 때의 상기 방법에 의해, 소스 전극(57)을 소정 형상으로 형성한다.

다음에, 도 7c에 도시한 바와 같이, 소스 전극(57)을 패터닝하였을 때의 소스 마스크를 이용하여, 채널부의 n<sup>+</sup>막(56)을 연속적으로 제거하고, TFT(Thin Film Transistor: 58)를 형성한다.

그 후, 도 7d에 도시한 바와 같이, 투명 도전막(통상, ITO막)으로 이루어지는 화소 전극(59)을 PVD법으로 성막하고, 도 8a에 도시한 바와 같이, 이 화소 전극(59)을 웨트 에칭법에 의해 소정의 전극 패턴으로 형성한다.

마지막으로, 도 8b에 도시한 바와 같이, TFT 보호막(60)을 PE-CVD법에 의해 성막하고, TFT 어레이 기판의 제조 프로세스가 완료한다.

그런데, 최근에는, 고정밀의 액정 표시 패널의 전극 재료로서, Al, Al 합금 혹은 Cu 등의 저저항 금속이 사용되고 있다(예를 들면, 특개평 6-148683호(공개일: 1994/5/27), 특개평 7-169967호(공개일: 1998/9/25) 혹은 특개평 10-253976호(공개일: 1998/9/25) 참조). 그러나, 예를 들면 상기 게이트 전극(52)의 재료를 Ta로부터 상기 Al 재료로 치환함과 함께, 소스 전극(57)을 Al 재료로써 형성하는 경우, 소스 전극(57)의 에칭 시에, 소스 전극(57)의 하층에 있는 게이트 전극(52)이, 게이트 절연막(54)의 결합부를 통하여 부식되는 사태가 생긴다.

또한, 최종 공정인 ITO막의 웨트 에칭 시에는, 감산인 HCl 혹은 HBr 등을 이용하기 때문에, 상당히 두꺼운 절연막(예를 들면 게이트 절연막 54)을 형성하지 않으면, 소스 전극(57)에 가하여 게이트 전극(52)도 부식된다고 하는 문제점을 갖고 있다.

단, 두꺼운 무기계의 절연막을 형성하는 경우에는, 그 성막 및 에칭 공정에 장시간을 요할 뿐만 아니라, 그 절연막의 양측의 전극 사이에 불필요한 정전 용량이 생기기 때문에, 무기계의 절연막의 두께막하는 곤란하다.

또한, 화소 전극을 2층 구조의 중간 절연막을 통해 형성함으로써, 화소 전극의 패터닝 시의 박리를 방지하는 기술이, 특개평 4-163528호(공개일: 1992/6/09)에 개시되어 있다. 이 구성에 있어서의 중간 절연막은, 유기계 절연막 상에 무기계 절연막이 형성된 2층 구조를 갖고 있다.

따라서, 이 중간 절연막의 에칭 공정에 있어서, 우선, 무기막을 드라이 에칭에 의해(층 막두께 3.13 $\mu$ m 에칭하고, 그 후, 유기막의 에칭을 행하게 된다. 여기서, 유기막은, 막 두께가 두껍기 때문에, 유액에 의한 처리에 의지하게 된다. 그러나 유액에 의한 처리를 행할 때에, 산·알칼리성 용액 등의 Al 전극의 Al 재료를 부식하는 유액은 이용하는 것이 불가능하다고 하는 문제가 발생된다. 또한, 소스-드레인 누설의 문제가 무기막에 비교하면 생기기 쉽다.

소스 전극(57) 및 게이트 전극(52)을 Al 재료로 형성하는 경우의 상기 문제점을 통합하면 하기와 같다.

① 소스 전극(57)을 패턴 형성할 때에, 게이트 절연막(54)의 결합부를 통해, 게이트 전극(52) 및 이 게이트 전극(52)의 단자부가 동시에 에칭된다.

② ITO막으로 이루어지는 화소 전극(59)을 패턴 형성할 때에, 화소 전극(59)의 에칭액인 HCl 등의 감산에 의해, 소스 전극(57) 및 게이트 전극(52)이 막 결합부에 의해 부식된다. 또, Al 전극의 부식 방지를 위해, 상기 제조 프로세스를 변경하여, TFT 보호막 상에 ITO막을 형성하는 일도 고려되지만, 단순한 프로세스의 교체만으로는, Al 전극의 부식을 충분히 방지하는 일은 불가능하다.

③ 화소 전극을 유기계 절연막 및 무기계 절연막이 차례로 적층되어 이루어지는 2층 구조의 중간 절연막을 통해 형성한 경우, 막 두께가 두꺼운 유기막의 에칭 처리 시에, Al 전극의 Al 재료의 부식을 방지하기 위해, 사용 가능한 약제가 한정된다.

그리고, 상기한 Al 전극, 즉 소스 전극(57) 혹은 게이트 전극(52)의 부식이라는 문제점에 의해, 액정 표시 장치의 양품율의 저하와, 이것에 의한 제품 비용의 상승을 초래한다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 소스 전극 또는 게이트 전극을 Al 재료로 형성할 때에, 이 Al 재료가 부식하는 것을 방지 가능한 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

본 발명의 액정 표시 장치는, 상기한 목적을 달성하기 위해, Al 또는 Al 합금층을 갖는 제1 전극과, 상기 제1 전극의 상층측에 설치된 화소 전극과, 상기 제1 전극을 덮도록, 상기 제1 전극과 상기 화소 전극 사이에 설치된 적어도 2층의 중간 절연층을 구비하고, 상기 2층의 중간 절연층은, 상기 제1 전극측으로부터 무기계 절연막으로 이루어지는 제1층과, 유기계 절연막으로 이루어지는 제2층이 순차 적층되어 이루어지는 것을 특징으로 한다.

또한, 본 발명의 액정 표시 장치의 제조 방법은, Al 또는 Al 합금층을 갖는 제1 전극을 형성하는 스텝과,

상기 제1 전극의 상층측에 상기 제1 전극을 덮도록, 상기 제1 전극측으로부터 무기계 절연막으로 이루어지는 제1층과, 유기계 절연막으로 이루어지는 제2층을 순차 적층함으로써, 적어도 2층의 중간 절연층을 형성하는 스텝과,

상기 중간 절연층의 상층측에 화소 전극을 형성하는 스텝을 포함하는 것을 특징으로 한다.

상기한 구성에 따르면, 상기 화소 전극은, 적어도, 무기계 절연막으로 이루어지는 제1층과, 유기계 절연

막으로 이루어지는 제2층이 상기 제1 전극층으로부터 순차 적층되어 이루어지는 2층의 층간 절연층을 통해 설치되어 있다. 따라서, 예를 들면, 유기계 절연막을 약알칼리 용액으로 에칭할 때, 기초의 Al 또는 Si 합금층을 갖는 상기 제1 전극은, 무기계 절연막으로 보호되어 있기 때문에, 상기 제1전극에 에칭액이 침투하는 일은 없다. 따라서, 상기 제1전극의 부식이 방지된다.

또한, 상기 2층의 층간 절연층을 패터닝할 때, 상기 유기계 절연막(두께 3 $\mu$ m)을 포토리소 공정으로 패터닝한 후에, 그 패턴을 이용하여 무기계 절연막(TFT 보호막: 두께 0.13 $\mu$ m)을 드라이 에칭하여 패터닝함으로써, 포토마스크 매수를 1매 감소시킬 수 있다. 또한, 무기계 절연막의 에칭에서는, 기초의 Al 또는 Si 합금층을 갖는 상기 제1 전극과의 선택성이 충분히 취해지고 있기 때문에, 에칭이 가능해진다.

또한, 상기한 구성에 따르면, 상기 층간 절연층으로써, 화소 전극을 제1 전극, 예를 들면 소스 전극 또는 게이트 전극과 충분히 분리하는 것이 가능하다. 따라서, 복수의 층간 절연층 중 어느 하나에 막 결합이 존재하는 경우에서도, 화소 전극을 에칭할 때에, 상기 막 결합에 의해, 제1 전극의 Al 또는 Si 합금층이 부식하는 사태를 방지하는 것이 가능하다. 또한, 화소 전극과 제1 전극 사이의 누설을 방지하는 것이 가능하다.

상기한 구성에 있어서, 상기 무기계 절연막으로 이루어지는 제1층은, 상기 Al 또는 Si 합금층으로 이루어지는 제1 전극(금속 전극) 상에 형성되어 있는 것이 바람직하다.

이 구성에 따르면, 상기 무기계 절연막으로 이루어지는 제1층은, 상기 Al 또는 Si 합금층으로 이루어지는 제1 전극(금속 전극) 상에 형성되어 있기 때문에, 종래의 유기계 절연막 상에 무기계 절연막을 피막하는 구성에 비교하여, 양호한 막질의 무기계 절연막을 성막하는 것이 가능하다. 또한, 제2층의 유기계 절연막을 무기계 절연막 상에 양호하게 적층할 수가 있다.

즉, 상기 제1 전극층으로부터 본원의 적층 순서(유기계 절연막/무기계 절연막)으로 층간 절연막을 성막하면, 각각의 층간 절연막의 막질을 양호하게 적층하는 것이 가능하다. 이 때문에, 층간 절연막의 막 결합이 적어지기 때문에, 화소 전극 패터닝 시의 에칭액이 막 결합으로부터 침투하여 금속 전극을 부식한다고 하는 문제를 회피하는 것이 가능하다.

또한, 상기한 구성에 있어서, 상기 무기계 절연막으로 이루어지는 제1층은, TFT 보호막인 것이 바람직하다.

상기한 구성에 따르면, 상기 제1 전극 상에 설치된 TFT 보호막이 무기계 절연막을 겸용하고 있기 때문에, 층간 절연막에 있어서의 층수의 증가, 즉, 액정 표시 장치의 구조의 복잡화를 억제할 수가 있다.

본 발명의 또 다른 목적, 특징, 및 우수한 점은, 이하에 설명하는 기재에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이점은, 첨부 도면을 참조한 다음 설명에서 명백해질 것이다.

#### 본 발명의 구성 및 작용

본 발명의 실시의 일 형태를 도 1 내지 도 5에 기초하여 이하에 설명한다.

본 발명의 실시의 형태에 있어서의 액정 표시 장치는, TFT 어레이 기판으로서, 도 1에 도시한 구성을 갖고 있다.

즉, 유리 기판(11) 상에 Ti막(13), Al막(14) 및 TiN막(15)으로 이루어지는 3층 구조의 게이트 전극(제1 전극: 12)이 형성되고, 그 위에 게이트 절연막(16)이 형성되고, 그 위에 1개의 섬 형상으로 1-Si막(17) 및 n<sup>+</sup>막(18)이 형성되어 있다. n<sup>+</sup>막(18) 상에는, TiN막(소스 제1 전극층: 20) 및 Al막(소스 제2 전극층: 21)으로 이루어지는 소스 전극(제1 전극: 19)이 형성되어 있다. 소스 전극(19) 상에는, TFT 보호막(층간 절연층, 무기계 절연층: 23)과 유기 절연막(층간 절연층, 유기계 절연층: 24)이 형성되고, 유기 절연막(24) 상에 화소 전극(26)이 형성되어 있다.

상기한 유기 절연막(24)에는 콘택트홀(25)이 형성되고, 이 콘택트홀(25)을 이용하여 TFT 보호막(23) 및 소스 전극(19)에 있어서의 Al막(21)이 에칭되어 있다.

상기 게이트 전극(12)에 있어서의 Al막(14) 및 소스 전극(19)의 Al막(21)은, Al합금으로 이루어지는 막이어도 좋다. 상기 Al막(14) 및 Al막(21)의 막 두께는, 액정 표시 장치의 패널 사이즈에 따라서 설정된다.

상기 게이트 전극(12)에 있어서의 Ti막(13), TiN막(15) 및 소스 전극(19)에 있어서의 TiN막(20)은, 이를 대신하여, Ta, Ti, Cr, Mo, 또는 질화된 TiN, Mo의 각 막 종류로부터, 적절하게 선택한 막을 사용할 수가 있다. 이들은 어느 한쪽 용점이 2000°C 이상의 고용점 금속이다.

상기 TFT 보호막(23)은, 무기계 절연막이고, 예를 들면 SiNx 또는 SiO<sub>2</sub>로 이루어진다. 유기 절연막(24)은, 예를 들면 아크릴계 수지를 재료로 하여 형성되어 있다.

또한, 단자부는, 그 평면도인 도 2a, 및 도 2a에 있어서의 A-A선 화살 표시단면도인 도 2b에 도시한 구성을 갖고 있다.

즉, 유리 기판(11) 상에, 단자부의 전극이 되는 상기 게이트 전극(12)이 형성되고, 이 게이트 전극(12)이 소스 전극(19)에 있어서의 TiN막(20) 및 화소 전극(26)으로써 덮혀져 있다. 단자부의 중앙부에서의 게이트 전극(12) 상에는 콘택트홀(27)이 형성되어 있다. 이 콘택트홀(27)에 있어서, 게이트 절연막(16)은 에칭되고, 게이트 전극(12)의 상면이 소스 전극(19: TiN막 20)을 통해 화소 전극(26)에 의해 덮힌 상태로 되어 있다.

고정밀한 표시가 가능한 액정 표시 장치를 제조하는 경우, Al 혹은 Al 합금으로 이루어지는 저저항의 전극 재료(게이트 전극 12 및 소스 전극 19의 재료)가 필요하다. 그러나, Al 전극은, 열 스트레스에 의해 압축·팽창 용력이 걸려서, 금속막의 뒤틀림(휨), 막구조 결함(보이드) 등의 불량이 일어나기 쉽다. 또한 Al 전극은, TFT 디바이스를 구성하기 위한 다른 금속(Ti, ITO, Ta, Mo 등)과의 에칭 선택성이 없고, 그

위에 형성되는 절연막 등의 결합이 있으면, 매우 간단히 에칭된다. 그래서, 본 액정 표시 장치에서는, 상기한 구성을 채용함과 함께, 이하에 나타낸 방법으로써 액정 표시 장치를 제조하고 있다.

다음에, 상기 액정 표시 장치에 있어서의 TFT 어레이 기판의 제조 방법을 도 3 내지 도 5에 기초하여 설명한다.

우선, 도 3a에 도시한 바와 같이, 유리 기판(11) 상에, 3층 구조의 게이트 전극(12)으로서, Ti막(13), 2000 Å 두께의 Al막(14), 및 TiN막(15)의 3층의 막을 PVD법(물리적 성막법: 스퍼터링법)에 의해 차례로 성막한다. 성막 조건에 대해서는 표 1에 나타낸 바와 같다. 또, 이 처리에서는, 표 1의 가스 유량에 있어서 나타내고 있는 Ar과 N<sub>2</sub>와의 혼합 가스를 사용하고 있다. 또한, 상기 표에 나타낸 저항( $\Omega/\square$ )은, 게이트 전극(12)의 표면 저항이다.

다음에, 상술한 도 6b에 도시한 공정과 마찬가지로 하여, 포토리소그래피법에 의해, 게이트 전극(12) 상에 레지스트를 설치하고, 이 레지스트를 게이트 전극(12)의 소정의 전극 패턴으로 패터닝한다(도시 생략).

다음에, 도 3b에 도시한 바와 같이, 도 6c에 도시한 공정과 마찬가지로 하여, PE(플라즈마 에칭)법 또는 RIE(리액티브 이온 에칭)법 등의 드라이 에칭법에 의해, 게이트 전극(12)을 형성하는 3층을 일괄 에칭하여 게이트 전극(12)을 소정의 전극 패턴으로 형성하고, 그 후, 상기 레지스트를 박리한다. 에칭 조건은 표 2에 나타낸 바와 같다. 또, 여기서도, 에칭 가스로서 Cl<sub>2</sub>를 사용하고 있기 때문에, Al막(14)의 부식 방지를 고려하여 에칭 후에 트리트먼트 공정을 행하고 있다. 즉, 이 트리트먼트 공정에 의해, Al막(14)이 HCl에 의해 부식되는 것을 방지하기 위해서, 잔류 염소 이온을 불소 이온과 치환시키고 있다. 이 공정의 조건은 표 3에 나타낸 바와 같다.

게이트 전극(12)의 형성 후, PE-CVD법을 이용하여, 도 3c에 도시한 바와 같이, 게이트 절연막(통상 SiN<sub>x</sub>막: 16), l-Si막(17) 및 n<sup>+</sup>막(18)을 연속적으로 성막한다.

다음에, 도 3d에 도시한 바와 같이, l-Si막(17)과 n<sup>+</sup>막(18)을 하나의 섬 형상으로 패터닝하여, TFT의 채널 부분을 형성한다.

그 후, 액정 표시 패널 구동용의 단자부 배선을 노출시키기 위해, 게이트 절연막(16)의 패터닝을 행하고, 단자부가 되는 Ti막(13), Al막(14) 및 TiN막(15), 즉 게이트 전극(12)을 노출시킨다(도시하지 않음). 이 경우, 게이트 절연막(16) 상에 레지스트를 패터닝하여, 게이트 전극(12)에 있어서의 접속 단자부 상의 게이트 절연막(16)을 에칭한다.

다음에, 2층 구조의 소스 전극(19)으로서, 도 4a에 도시한 바와 같이, TiN막(20)과 2000 Å 두께의 Al막(21)을 PVD법에 의해 차례로 성막한다. 또, 하층의 TiN막(20)의 두께는, 유액에 대한 배리어층으로서 충분한 막 두께인 500 Å로 한다. 또한, 성막 조건에 대해서는 표 4에 나타낸 바와 같다.

다음에, 게이트 전극(12)을 형성하였을 때의 상기 공정과 마찬가지로 하여, 소스 전극(19) 상에 레지스트(22)를 설치하고, 이 레지스트(22)를 소스 전극(19)의 소정 형상으로 패터닝한 후, 도 4b에 도시한 바와 같이, 소스 전극(19)에 있어서의 Al막(21)의 불필요 부분을 웨트 에칭에 의해 제거한다. 이 때, 소스 전극(19)의 하층측의 게이트 전극(12)에 있어서의 Al막(14)은, 소스 전극(19)에 있어서의 TiN막(20)과 게이트 절연막(16)에 의해 보호되어 있기 때문에, 어느 한쪽이든 막 결합이 존재하고 있다라도, 게이트 전극(12)에 에칭액이 침투하는 일은 없다. 따라서, 게이트 전극(12)의 부식이 방지된다.

또, 게이트 전극(12)의 단자부에 대해서는, 게이트 전극(12) 상을 게이트 절연막(16)으로 덮고, 또한 게이트 전극(12)에 중첩되는 형태로 소스 전극(19)을 중첩함으로써 보호한다(도 2a, 도 2b 참조).

소스 전극(19)의 Al막(21)을 에칭 후, 도 4c에 도시한 바와 같이, 이 에칭에 사용한 소스 마스크를 이용 하여, 소스 전극(19)의 하층을 구성하는 TiN막(20) 및 채널부의 n<sup>+</sup>막(18)을 드라이 에칭에 의해 연속 에칭하고, 소스 전극(19)과 TFT의 채널 부분을 동시에 형성한다. 그 후, 상기 레지스트(22)를 제거한다. 상기 소스 전극(19) 및 채널부의 에칭 조건은 표 5에 나타낸 바와 같다. 또, 여기서도 상기 에칭에 의한 Al막(21)의 부식 방지를 고려하여 에칭 후에 트리트먼트 공정을 행하고 있다. 이 공정의 조건은 표 6에 나타낸 바와 같다.

다음에, 도 4d에 도시한 바와 같이, 질화실리콘(SiN<sub>x</sub>)을 재료로서 TFT 보호막(23)을 성막한다.

다음에, 도 5a에 도시한 바와 같이, 상기 TFT 보호막(23)을 1층째의 절연막으로 한 경우의 2층째의 절연막으로서, 마크월계의 수지를 전면 도포함으로써, 용간 절연막으로서의 유기 절연막(24)을 성막한다. 이 때 따라, TFT 어레이 기판의 상면은 평탄화 구조가 된다. 상기 유기 절연막(24)의 막 두께는, 후술의 IT0막(하소 전극 26)을 에칭할 때의 유액 침투를 방지하기 위해서도, 3 $\mu$ m로 한다. 또한, 유기 절연막(24)에는, 포토리소그래피법에 의해 컨택트홀(25)을 형성한다.

즉, 본 실시예의 액정 표시 장치는, 하소 전극(26)이, 적어도, 무기 절연막인 TFT 보호막(23)과, 유기 절연막(24)이 소스 전극(19) 측으로부터 순차 적층되어 이루어지는 용간 절연막 상에 형성되어 있다.

따라서, 예를 들면, 유기 절연막(24)을 약알칼리 용액으로 에칭할 때, 기초의 Al 또는 Al 합금층을 갖는 소스 전극(19)은, 무기계 절연막인 TFT 보호막(23)으로 보호되어 있기 때문에, 소스 전극(19)에 에칭액이 침투하는 일은 없다. 따라서, 소스 전극(19)의 부식이 방지된다.

또한, 상기 2층의 용간 절연층을 패터닝할 때, 유기 절연막(24: 두께 3 $\mu$ m)을 포토리소 공정으로 패터닝한 후에도, 그 패턴을 이용하여 무기계 절연막(TFT 보호막(23): 두께 0.13 $\mu$ m)을 드라이 에칭으로 패터닝함으로써, 포토마스크 매수를 1매 감소시킬 수 있다. 또한, TFT 보호막(23)의 에칭에서는, 기초의 Al 또는 Al 합금층을 갖는 소스 전극(19)과의 선택성이 충분히 취해지고 있기 때문에, 에칭이 가능해진다.

또한, 상기한 구성에 따르면, 상기 용간 절연층으로써, 하소 전극(26)을 제1 전극, 예를 들면 소스

전극(19) 또는 게이트 전극(12)과 충분히 분리하는 것이 가능하다. 따라서, 복수의 층간 절연층 중 어느 하나에 막 결함이 존재하는 경우에서도, 화소 전극(26)을 에칭할 때에, 상기 막 결함에 의해, 소스 전극(19)의 Si 또는 Si 합금층이 부식하는 사태를 방지할 수가 있다. 또한, 화소 전극(26)과 소스 전극(19) 사이의 누설을 방지하는 것이 가능하다.

상기한 구성에 있어서, TFT 보호막(23)은, 상기 Si 또는 Si 합금층으로 이루어지는 소스 전극(19: 금속 전극) 상에 형성되어 있기 때문에, 종래의 유기계 절연막 상에 무기계 절연막을 성막하는 구성에 비교하여, 양호한 막질의 무기계 절연막을 성막하는 것이 가능하다. 또한, 유기 절연막(24)을 무기계 절연막(TFT 보호막 23) 상에 양호하게 적층할 수가 있다.

즉, 소스 전극(19)으로부터 본원의 적층 순서(유기계 절연막/무기계 절연막)로 층간 절연막을 성막하면, 각각의 층간 절연막의 막질을 양호하게 적층하는 것이 가능하다. 이 때문에, 층간 절연막의 막 결함이 적어지기 때문에, 화소 전극 패터닝 시의 에칭액이 막 결함으로부터 침투하여 금속 전극을 부식한다고 한 문제를 회피할 수가 있다.

다음에, 도 5b에 도시한 바와 같이, 상기 컨택트홀(25)을 이용하여, 절화실리콘으로 이루어지는 TFT 보호막(23), 및 소스 전극(19)에 있어서의 Si막(21)을 드라이 에칭에 의해 연속적으로 에칭한다. 상기 Si막(21)을 에칭하는 이유는, 하기의 화소 전극(26)과 Si막(21) 사이에서 오믹 컨택트를 행할 수 있도록 하기 위해서이다.

그 후, 도 5c에 도시한 바와 같이, ITO막으로 이루어지는 화소 전극(26)을 스퍼터법으로써 성막한다. 그리고, 이 화소 전극(26) 상에 레지스트를 성막하고, 이 레지스트를 화소 전극(26)의 형상으로 패터닝 후, HCl 또는 HBr 등에 의해 에칭을 행하고, 화소 전극(26)을 소정 전극 패턴으로 형성한다. 또한, 단자부재 대해서는, 도 2a, 도 2b에 도시한 바와 같이 형성한다.

상기한 본 실시의 형태의 TFT 어레이 기판의 형성 공정과 종래의 그것을 비교하면, 다음의 표 7과 같다.

[표 1]

	DC 파워 kW	압력 Pa	가스 유량 sccm		온도 ℃	시간 sec	막 두께 Å	저항 Ω/□
			Ar	N <sub>2</sub>				
Ti막	5-15	0.5-1	50-100	-	100	40	300	0.25
Si막	10-20	0.5-1	50-100	-	100	80	2000	
TiN막	5-15	0.5-1	50-100	5~20	100	60	500	

[표 2]

게이트 에칭(리액티브 이온 에칭) 조건

RF 파워 kW	압력 mT	가스 유량 sccm			온도 ℃	시간
		Cl <sub>2</sub>	Ar	BCl <sub>3</sub>		
2~4	5~20	100~300	0~100	0~100	60	엔드포인트 검출

[표 3]

게이트 전극 에칭 후 트리트먼트 조건

RF 파워 kW	압력 mT	가스 유량 sccm		온도 ℃	시간 sec
		CF <sub>4</sub>	O <sub>2</sub>		
1~3	10~40	50~250	20~100	60	30~240

[표 4]

소스 전극 성막(DC 마그네트론 스퍼터링) 조건

	DC파워 kW	압력 mT	가스 유량 sccm		온도 ℃	시간 sec	막 두께 Å	저항 Ω/□
			Ar	N <sub>2</sub>				
Ti 또는 TiN막	5-15	5-10	50-75	0-15	100	40	500	0.2
Al막	10-15	3-10	50-75	-	100	40	2000	

[표 5]

소스 전극 및 TFT 채널부 에칭 조건(리액티브 이온 에칭 조건)

RF 파워 kW	압력 mT	가스 유량 sccm		온도 ℃	시간
		Cl <sub>2</sub>	BCl <sub>3</sub>		
2~4	5~20	30~300	100~300	60	엔드포인트검출

[표 6]

소스 전극 에칭 후 트리트먼트 조건

RF 파워 kW	압력 mT	가스 유량 sccm		온도 ℃	시간 sec
		CF <sub>4</sub>	O <sub>2</sub>		
2~3	20~40	100~300	10~100	60	120

[표 7]

본 발명 프로세스	종래 프로세스
게이트 전극(Al막 포함) 형성	게이트 전극(Ta막 포함) 형성
n <sup>+</sup> /I-Si 채널부 형성	n <sup>+</sup> /I-Si 채널부 형성
게이트 절연막 패턴 형성 (단자부 형성)	게이트 절연막 패턴 형성 (단자부 형성)
소스 전극(Al막 포함) 형성 소스 포토마스크를 이용한 Al막의 하층의 TiN막을 연속적으로 패턴닝	소스 전극(Ta막 포함) 형성
TFT 보호막, 층간 절연막의 성막 후 및 패턴 닝 후에, 컨택트홀부의 연속 에칭에 의해 컨 택트홀 형성	화소 전극(ITO막) 형성
화소 전극(ITO) 형성	TFT 보호막 형성



# 본 발명의 효과

이상과 같이, 본 발명의 액정 표시 장치는, Si 또는 Si 합금층을 갖는 제1 전극과, 이 제1 전극의 상층측에 설치된 화소 전극과, 상기 제1 전극을 덮도록, 상기 제1 전극과 상기 화소 전극 사이에 설치된 적어도 2층의 층간 절연층을 구비하는 것을 특징으로 한다.

상기한 구성에 따르면, 예를 들면, ITD막으로 이루어지는 화소 전극은, 복수(적어도 2층 이상)의 층간 절연층을 통해 예를 들면 최상층에 형성된다. 또, 복수의 층간 절연층 중 1층에 대해서는, TFT 보호막으로 대응할 수 있다. 다른 1층으로서는, 예를 들면 유기계 절연층(막 두께가 예를 들면 1 $\mu$ m 이상)이 설치된다. 이에 따라, 상기 층간 절연층으로써, 화소 전극을 제1 전극, 예를 들면 소스 전극 또는 게이트 전극과 충분히 분리하는 것이 가능하다. 따라서, 복수의 층간 절연층 중 어느 하나에 막 결합이 존재하는 경우에서도, 화소 전극을 에칭할 때에, 상기 막 결합에 의해, 제1 전극의 Si 또는 Si 합금층이 부식하는 사태를 방지할 수 있다.

또한, 화소 전극과 제1 전극, 예를 들면 소스 전극이 분리되어 있음으로써, 화소 전극과 제1 전극 사이의 누설을 방지하는 것이 가능하다.

본 발명의 제1 액정 표시 장치의 제조 방법은, Si 또는 Si 합금층을 갖는 제1 전극을 형성하고, 상기 제1 전극의 상층측에 제1 전극을 덮도록, 적어도 2층의 층간 절연층을 형성하고, 상기 층간 절연층의 상층측에 화소 전극을 형성하는 것을 특징으로 한다.

상기한 구성에 따르면, 예를 들면, ITD막으로 이루어지는 화소 전극은, 복수(적어도 2층 이상)의 층간 절연층을 통해 예를 들면 최상층에 형성된다. 또, 복수의 층간 절연층 중 1층에 대해서는, TFT 보호막으로 대응하는 것이 가능하다. 다른 1층으로서는, 예를 들면 유기계 절연층(막 두께가 예를 들면 1 $\mu$ m 이상)이 설치된다.

이에 따라, 상기 층간 절연층으로, 화소 전극을 제1 전극, 예를 들면 소스 전극 또는 게이트 전극과 충분히 분리할 수가 있다. 따라서, 복수의 층간 절연층 중 어느 하나에 막 결합이 존재하는 경우에서도, 화소 전극을 에칭할 때에, 상기 막 결합에 의해, 제1 전극의 Si 또는 Si 합금층이 부식하는 사태를 방지할 수 있다.

또한, 화소 전극과 제1 전극, 예를 들면 소스 전극이 분리되어 있음으로써, 화소 전극과 제1 전극 사이의 누설을 방지하는 것이 가능하다.

또, 복수의 상기 층간 절연층의 에칭에 대해서는, 모든 층간 절연층을 형성한 후, 이들 복수의 층간 절연층을 일괄해서 에칭하면, 포토리소그래피 공정에 있어서의 마스크 매수의 증가를 방지하는 것이 가능하다.

본 발명의 제2 액정 표시 장치의 제조 방법은, 상기 제1 제조 방법의 구성에 있어서, 적어도 2층의 상기 층간 절연층 중 한쪽이 무기계 절연층이고, 다른쪽이 유기계 절연층인 것을 특징으로 한다.

상기한 구성에 따르면, 제1 제조 방법에 의한 작용에 가하여, 화소 전극과 제1 전극 사이의 복수의 층간 절연층이 무기계 절연층과 유기계 절연층으로 이루어지므로, 유기계 절연층과 비교하여 유전율이 높고, 또한 성막 및 에칭에 장시간을 요하는 무기계 절연층의 두께를, 층간 절연층으로서 무기계 절연층만을 형성하는 경우보다도 얇게 할 수가 있다. 이 결과, 화소 전극과 제1 전극 사이에 불필요한 전선 용량이 발생하는 사태, 및 층간 절연층의 형성에 장시간을 요하는 사태를 방지할 수가 있다.

본 발명의 제3 제조 방법은, 상기 제2 제조 방법에 있어서, 상기 제1 전극이 소스 전극이며, 이 소스 전극의 하층측에 Si 또는 Si 합금층을 갖는 게이트 전극을 형성하고, 상기 무기계 절연층이 상기 소스 전극 상에 설치된 TFT 보호막인 것을 특징으로 한다.

상기한 구성에 따르면, 상기 제2 제조 방법에 의한 작용에 가하여, 상기 층간 절연층에 의해서, 소스 전극 및 게이트 전극에 있어서의 Si 또는 Si 합금층의 부식을 방지하는 것이 가능하다. 또한, 소스 전극 상에 설치된 TFT 보호막이 무기계 절연층을 겸용하고 있기 때문에, 층간 절연층에 있어서의 층수의 증가, 즉 액정 표시 장치의 구조의 복잡화를 억제하는 것이 가능하다.

본 발명의 제4 액정 표시 장치의 제조 방법은, 상기 제2 제조 방법의 구성에 있어서, 상기 제1 전극이 소스 전극이며, 이 소스 전극의 하층측에 Si 또는 Si 합금층을 갖는 게이트 전극을 형성하고, 상기 소스 전극을, 게이트 전극측으로부터 순차 소스 제1 전극층과 Si 또는 Si 합금으로 이루어지는 소스 제2 전극층을 적어도 적층하여 형성하고, 상기 소스 제1 전극층 및 상기 화소 전극으로써, 접속 단자가 되는 상기 게이트 전극의 단자부를 덮는 것을 특징으로 한다.

상기한 구성에 따르면, 상기한 제2 액정 표시 장치의 구성에 의한 작용에 가하여, 접속 단자가 되는 상기 게이트 전극의 단자부를 소스 제1 전극층 및 화소 전극으로써 덮도록 하고 있다. 이 경우, 상기 단자부의 예를 들면 전면을 덮는 형태로 화소 전극의 배선 패턴을 남김으로써, 게이트 절연층으로 덮고 있지 않은 부분도 화소 전극으로 덮도록 하고 있다. 이에 따라, 상기 단자부를 확실하게 보호하는 것이 가능하다.

본 발명의 제5 액정 표시 장치의 제조 방법은, Si 또는 Si 합금층을 갖는 게이트 전극의 상층측에 게이트 절연층을 형성하고, 이 게이트 절연층의 상층측에, 게이트 절연층측으로부터 순차 소스 제1 전극층과 Si 또는 Si 합금으로 이루어지는 소스 제2 전극층을 적어도 적층하여 소스 전극을 형성하고, 이 소스 전극을 소정의 전극 패턴에 형성하기 위해서, 상기 소스 제2 전극층을 웨트 에칭한 후, 상기 소스 제1 전극층을 드라이 에칭하는 것을 특징으로 한다.

상기한 구성에 따르면, 소스 전극을 게이트 절연층측으로부터 순차 소스 제1 전극층, 예를 들면 TIN막과 Si 또는 Si 합금으로 이루어지는 소스 제2 전극층을 적어도 적층함으로써 형성함과 함께, 소스 전극을 소정의 전극 패턴에 형성하기 위해, 소스 제2 전극층을 웨트 에칭한 후, 그 아래의 소스 제1 전극층을 드라이

이 에칭하도록 하고 있으므로, 소스 전극을 에칭할 때의 게이트 전극의 부식을 방지할 수가 있다. 또, 상기 드라이 에칭 시에는, 웨트 에칭에 사용한 소스 레지스트막을 그대로 사용할 수가 있다.

즉, 소스 전극의 Si 또는 Si 합금으로 이루어지는 소스 제2 전극층과 예를 들면 TiN막으로 이루어지는 소스 제1 전극층을 웨트 에칭에 의해 연속 에칭한 경우, 게이트 절연층의 막 결합, 예를 들면 핀홀 등에 의해, 게이트 전극의 Si 또는 Si 합금층이 부식될 가능성이 있다.

그래서, 우선, Si 또는 Si 합금으로 이루어지는 상층층의 소스 제2 전극층을 웨트 에칭하고, 다음에 하층층의 소스 제1 전극층을 드라이 에칭하면, 웨트 에칭 시에, 게이트 절연막에 가하여 소스 제1 전극층도 하나의 배리어층으로서 기능하며, 게이트 전극의 부식을 확실하게 방지할 수가 있다.

또, Si에 대해 에칭 선택성을 갖는 가스, 예를 들면 CF<sub>4</sub> 등을 사용함으로써, 게이트 절연층에 막 결합이 존재하는 경우에서도, 게이트 전극을 확실하게 보호하는 것이 가능하다.

또한, Si에 대해 에칭 선택성이 없는 Cl<sub>2</sub>계의 가스를 사용한 경우에서도, 미방성 에칭을 행하면, 게이트 전극의 손상은 극단적인 것으로는 되지 않고, TFT 보호막 등에 의해 매립 가능해진다.

또한, 소스 제2 전극층과 소스 제1 전극층을 일괄해서 드라이 에칭하는 것도 생각할 수 있지만, 소스 전극의 패턴 형성을 위한 에칭과 TFT의 겹부의 n<sup>+</sup>막의 에칭을 동시에 행하기 위해서는, TFT 특성(I-Si막의 잔막량)을 보증하기 위한 에칭 균일성이 요구된다. 이 경우, 웨트 에칭을 이용하여 소스 전극을 얇게 하여 놓음으로써, 에칭율의 분포에 대한 절대치를 작게 하는 것이 가능해진다. 따라서, TFT 특성의 균일성이 보증된다.

발명의 상세한 설명의 항에 있어서 이루어진 구체적인 실시 형태 또는 실시예는, 어디까지나, 본 발명의 기술 내용을 밝히는 것으로서, 그와 같은 구체예에만 한정하여 협의로 해석되어야 하는 것이 아니라, 본 발명의 정신과 다름에 기재하는 특허 청구 사항의 범위 내에서 여러가지로 변경하여 실시하는 것이 가능한 것이다.

#### (57) 청구의 범위

청구항 1. Si 또는 Si 합금층을 갖는 제1 전극과,

상기 제1 전극의 상층층에 설치된 화소 전극과,

상기 제1 전극을 덮도록, 상기 제1 전극과 상기 화소 전극 사이에 설치된 적어도 2층의 층간 절연층을 구비하고,

상기 2층의 층간 절연층은, 상기 제1 전극층으로부터 무기계 절연막으로 이루어지는 제1층과, 유기계 절연막으로 이루어지는 제2층이 순차 적층되어 이루어지는 액정 표시 장치.

청구항 2. 제1항에 있어서,

상기 무기계 절연막으로 이루어지는 제1층은, 상기 제1 전극 상에 형성되어 있는 액정 표시 장치.

청구항 3. 제1항에 있어서,

상기 제1전극은 소스 전극이고, 상기 소스 전극의 하층층에 Si 또는 Si 합금층을 갖는 게이트 전극이 형성되어 있고,

상기 제1층의 무기계 절연층은, 상기 소스 전극 상에 설치된 TFT 보호막인 액정 표시 장치.

청구항 4. 제3항에 있어서,

상기 게이트 전극은, Ti막, Si막 및 TiN막으로 이루어지는 3층 구조를 갖고 있는 액정 표시 장치.

청구항 5. 제3항에 있어서,

상기 TFT 보호막은, SiN<sub>x</sub> 또는 SiO<sub>x</sub>로 이루어지는 액정 표시 장치.

청구항 6. 제1항에 있어서,

상기 유기계 절연층은, 아크릴계 수지인 액정 표시 장치.

청구항 7. 제1항에 있어서,

상기 제1 전극은 소스 전극이고, 상기 소스 전극의 하층층에 Si 또는 Si 합금층을 갖는 게이트 전극이 형성되어 있고,

상기 소스 전극은, 적어도 게이트 전극층으로부터 소스 TiN막으로 이루어지는 소스 제1 전극층과 Si 또는 Si 합금으로 이루어지는 소스 제2 전극층을 순차 적층하여 이루어지고, 상기 소스 제1 전극층 및 상기 화소 전극은, 접속 단자로서의 상기 게이트 전극의 단자부를 덮도록 형성되어 있는 액정 표시 장치.

청구항 8. Si 또는 Si 합금층을 갖는 게이트 전극과,

상기 게이트 전극의 상층층에 형성된 게이트 절연층과,

상기 게이트 절연층의 상층층에 형성된 소스 전극을 포함하며,

상기 소스 전극은, 게이트 절연층층으로부터 적어도 소스 제1 전극층과 Si 또는 Si 합금으로 이루어지는 소스 제2 전극층을 차례로 적층하여 이루어지는 액정 표시 장치.

청구항 9. 제8항에 있어서,

상기 소스 제1 전극층은, 절연막인 액정 표시 장치.

청구항 10. Al 또는 Al 합금층을 갖는 제1 전극을 형성하는 스텝과,

상기 제1전극의 상층측에 제1 전극을 덮도록, 상기 제1 전극층으로부터 무기계 절연막으로 이루어지는 제1층과, 유기계 절연막으로 이루어지는 제2층을 순차 적층함으로써 적어도 2층의 중간 절연층을 형성하는 스텝과,

상기 중간 절연층의 상층측에 화소 전극을 형성하는 스텝을 포함하는 액정 표시 장치의 제조 방법.

청구항 11. 제10항에 있어서,

상기 무기계 절연막으로 이루어지는 제1층을, 상기 제1 전극 상에 형성하는 액정 표시 장치의 제조 방법.

청구항 12. 제11항에 있어서,

상기 제1 전극은 소스 전극이며, 상기 소스 전극의 하층측에 Al 또는 Al 합금층을 갖는 게이트 전극을 형성하고, 상기 제1층의 무기계 절연층이 상기 소스 전극 상에 설치된 TFT 보호막인 액정 표시 장치의 제조 방법.

청구항 13. 제11항에 있어서,

상기 제1 전극은 소스 전극이며, 상기 소스 전극의 하층측에 Al 또는 Al 합금층을 갖는 게이트 전극을 형성하고, 상기 소스 전극은, 게이트 전극층으로부터 순차 소스 제1 전극층과 Al 또는 Al 합금으로 이루어지는 소스 제2 전극층을 적어도 적층하여 형성하고, 상기 소스 제1 전극층 및 상기 화소 전극으로써, 접속 단자가 되는 상기 게이트 전극의 단자부를 덮는 액정 표시 장치의 제조 방법.

청구항 14. Al 또는 Al 합금층을 갖는 게이트 전극의 상층측에 게이트 절연층을 형성하는 스텝과,

상기 게이트 절연층의 상층측에, 게이트 절연층층으로부터 적어도 소스 제1전극층과 Al 또는 Al 합금으로 이루어지는 소스 제2 전극층을 순차 적층하여 소스 전극을 형성하는 스텝과,

이 소스 전극을 소정의 전극 패턴에 형성하기 위해, 상기 소스 제2 전극층을 웨트 에칭한 후, 상기 소스 제1 전극층을 드라이 에칭하는 스텝을 포함하는 액정 표시 장치의 제조 방법.

청구항 15. 제14항에 있어서,

상기 소스 제1 전극층은, 절연막인 액정 표시 장치의 제조 방법.

도면

도면1

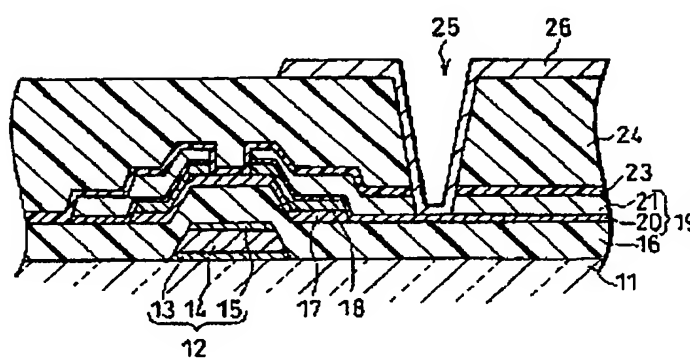


图 2b

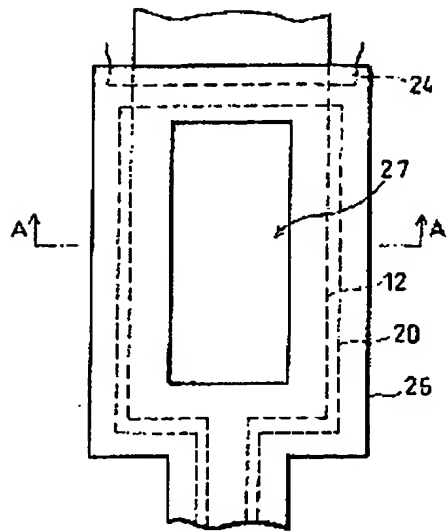


图 2b

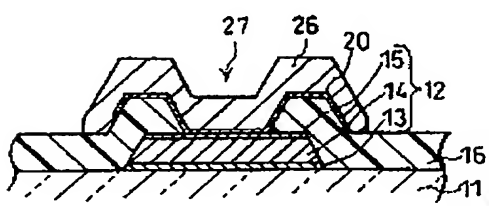


图 2b

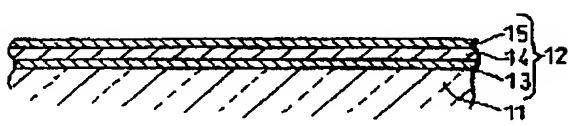


图 2b

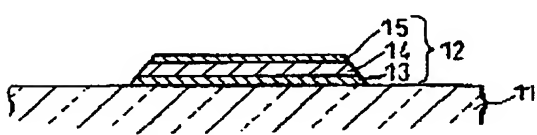
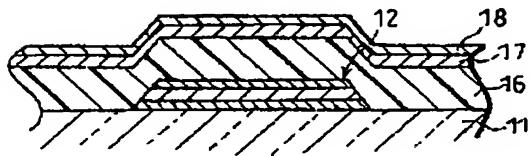
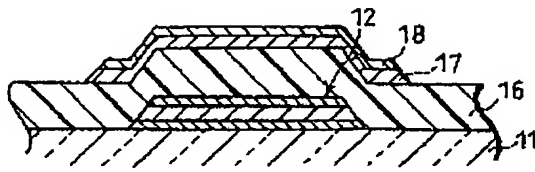


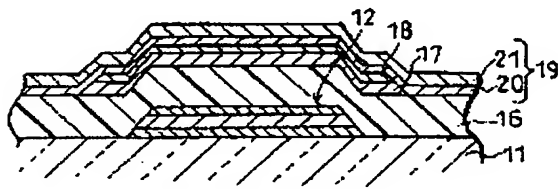
图 2b



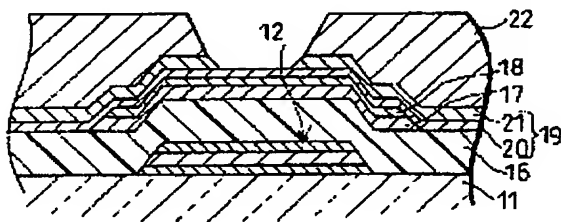
도 33a



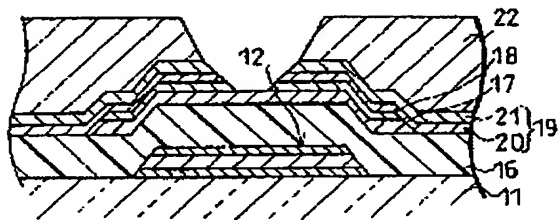
도 33b



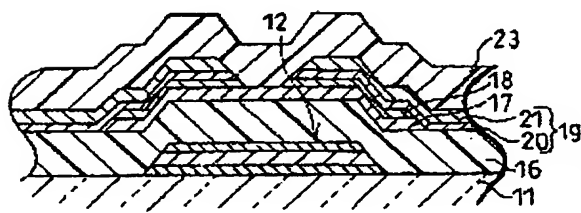
도 33c



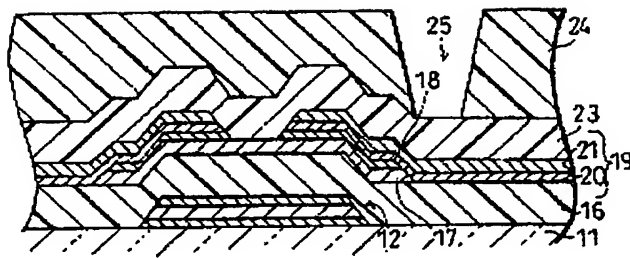
도 33d



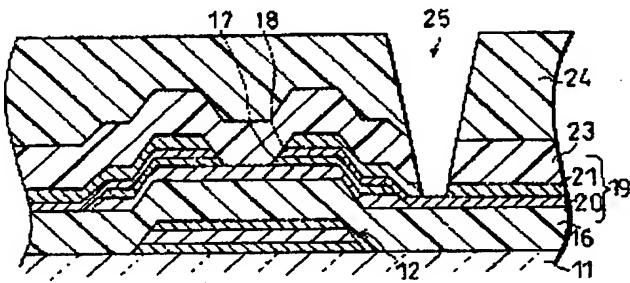
도 33e



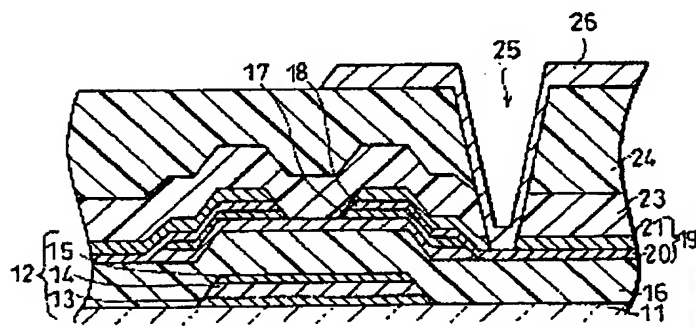
도 25a



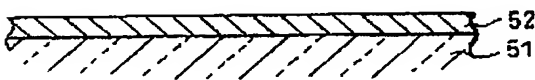
도 25b



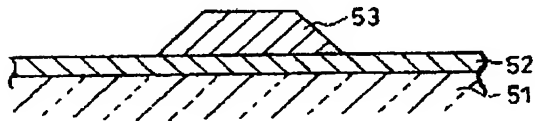
도 25c



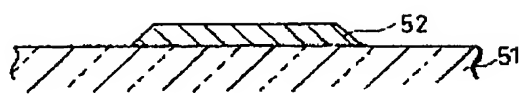
도 26a



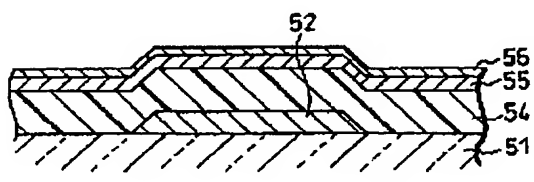
도 26b



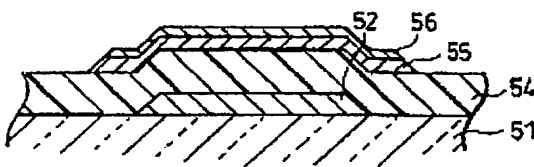
도 27b



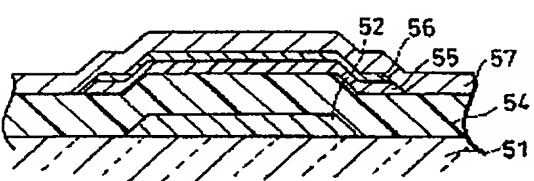
도 27c



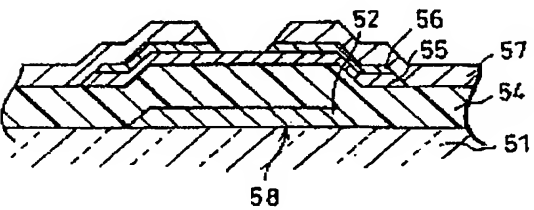
도 27d



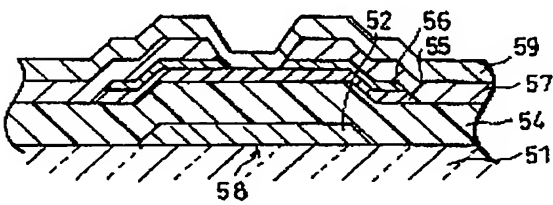
도 27e



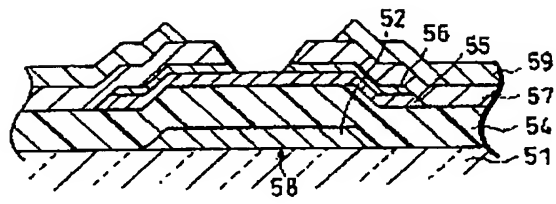
도 27f



도 27g



도 8a



도 8b

